



## [12] 发明专利申请公开说明书

[21] 申请号 01811585.3

[43] 公开日 2003 年 9 月 10 日

[11] 公开号 CN 1442033A

[22] 申请日 2001.3.28 [21] 申请号 01811585.3

[30] 优先权

[32] 2000. 4. 21 [33] US [31] 60/198,769

[32] 2000. 5. 9 [33] US [31] 60/203,263

[32] 2001. 2. 16 [33] US [31] 09/788,263

[86] 国际申请 PCT/US01/10119 2001. 3. 28

[87] 国际公布 WO01/82672 英 2001. 11. 1

[85] 进入国家阶段日期 2002. 12. 23

[71] 申请人 电子设备屏蔽公司

地址 美国加利福尼亚州

[72] 发明人 耶苏·爱·奥尔蒂兹

罗克·R·阿诺德

[74] 专利代理机构 永新专利商标代理有限公司

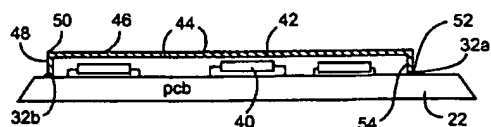
代理人 夏 青

权利要求书 7 页 说明书 13 页 附图 6 页

[54] 发明名称 印制电路板的 EMI 和 RFI 屏蔽

[57] 摘要

本发明提供一种真空沉积金属层(36)，它能够屏蔽 PCB 或 FPC(20) 中的电子元件(40)。真空金属化导电层(36)能够连接到电路板上的地线(32)，以形成法拉第屏蔽罩，以保护设置在电路板中的电子元件(40)不受 EMI 影响。该金属化导电层能够设置在封装绝缘层(30)之上，或者设置在与 PCB 或 FPC 结合的已成形的热成形件或者注塑塑料基片之上。



1. 一种电路板，其包括：  
一块基片；  
一根地线以及至少一个电子元件，耦合到该基片上；  
仿形绝缘涂层，设置在该基片上以封装电子元件；并且  
一个导电层，被真空金属化在该绝缘涂层上并接触该地线，其中，  
该接地的导电层形成一个用于该电子元件的电磁干扰屏蔽件。
2. 根据权利要求 1 中所述电路板，其中该导电层被热蒸发到该仿形绝缘涂层上。
3. 根据权利要求 2 中所述电路板，其中该真空金属化层包括铝、铜、银、金、锡、镍或者铬。
4. 根据权利要求 2 中所述电路板，其中该真空金属化层的厚度在约 1 微米到 50 微米之间。
5. 根据权利要求 1 中所述电路板，其进一步包括一个设置在该导电层上的仿形层，其中该仿形层能够保护该金属化层并使该金属化层与相邻元件电绝缘。
6. 根据权利要求 5 中所述电路板，其中该仿形层包括丙烯酸树脂、聚氨脂、单组分环氧树脂或双组分环氧树脂。
7. 根据权利要求 5 中所述电路板，其中该仿形层是防水的。
8. 根据权利要求 1 中所述电路板，其中该地线被至少设置在该基片的外围。
9. 根据权利要求 1 中所述电路板，其中，该至少一个电子元件包括第一元件和第二元件，其中该地线穿过该第一和第二元件之间。
10. 根据权利要求 9 中所述电路板，其中，该绝缘层包括第一和第二绝缘层，且该导电层包括第一和第二导电层，其中第一绝缘层和第一导电层封装第一电子元件，第二绝缘层和第二导电层封装第二电

子元件，其中第一和第二导电层都与该地线连接。

11. 根据权利要求 1 中所述电路板，在该基片上进一步包括一个隔坝，其中该地线设置在该隔坝上。

12. 根据权利要求 1 中所述电路板，其中该基片是柔性的。

13. 一种对电路板或柔性电路进行 EMI 屏蔽的方法，该方法包括：

利用仿形绝缘基部涂层封装电子元件；

在该基部涂层上施加第一导电层；并且

将该导电层连接到地线以形成一个用于该电子元件的 EMI 屏蔽件。

14. 根据权利要求 13 中所述方法，其中的施加步骤包括真空金属化该第一导电层于该绝缘涂层上。

15. 根据权利要求 14 中所述方法，进一步包括在真空金属化期间保持元件和基部涂层的温度大约在 200℃ 以下。

16. 根据权利要求 13 中所述方法，其中第一导电层中包括铝、铜、银、金、锡、或镍铬合金。

17. 根据权利要求 13 中所述方法，其进一步包括在该第一导电层上施加第二导电层。

18. 根据权利要求 13 中所述方法，其进一步包括在该第一导电层上施加一个绝缘仿形层。

19. 根据权利要求 18 中所述方法，其中该仿形层具有防水作用。

20. 根据权利要求 13 中所述方法，其中的施加步骤包括采用辉光放电工艺附着该导电层。

21. 根据权利要求 13 中所述方法，其进一步包括在元件外围设置地线。

22. 根据权利要求 13 中所述方法，其中的地线设置在第一元件和第二元件之间。

23. 根据权利要求 13 中所述方法, 其进一步包括通过该绝缘涂层曝露地线。

24. 一种柔性电路, 其包括:

一块柔性基片;

耦合到该柔性基片的一根地线和一个电路;

位于该电路上并附着在该柔性基片上的仿形涂层; 及

一个导电层, 其设置在该仿形涂层之上, 并与该地线连接, 其中该接地的导电层形成一个用于该柔性电路的电磁干扰屏蔽件。

25. 根据权利要求 24 中所述柔性电路, 其中该柔性基片包括聚酰亚胺、Kapton 或聚酰亚胺。

26. 一种电路板, 其包括:

一块基片;

耦合到该基片的一根地线以及至少一个电子元件;

一个热成形件, 包括真空金属化导电层, 其中该热成形件能够设置在该电子元件上并与该地线耦合。

27. 根据权利要求 26 中所述电路板, 其中该真空金属化导电层通过热蒸发被施加。

28. 根据权利要求 26 中所述电路板, 其中该真空金属化导电层厚度在约 1 微米到 50 微米之间。

29. 根据权利要求 26 中所述电路板, 其中该热成形件通过导电胶与该地线耦合。

30. 根据权利要求 29 中所述电路板, 其中该导电胶是导电胶带, 它与该地线的形状基本一致。

31. 根据权利要求 30 中所述电路板, 其中该热成形件进一步包括多个隔间, 其中所述元件被分隔在这些隔间内, 以防止所述元件之间的串扰。

32. 根据权利要求 31 中所述电路板, 其中该热成形件包括一个

外围凸缘，并且其中所述多个隔间中形成有多个壁，其中的多个壁及外围凸缘与地线连接。

33. 根据权利要求 26 中所述电路板，其中该真空金属化层的厚度在 1 微米到 50 微米之间。

34. 根据权利要求 26 中所述电路板，其中该真空金属化层包括铝、铜、锡、镍、铬、银或金。

35. 一种屏蔽电子元件的方法，该方法包括：  
真空金属化一导电层至一热成形件上；  
将该真空金属化的热成形件附着到一电路板上的地线，以形成接地的屏蔽件。

36. 根据权利要求 35 中所述方法，其进一步包括：  
热成形多个隔间于该热成形件内；并且  
将电子元件分离到该热成形件的独立隔间中，以防止电子元件之间的串扰。

37. 根据权利要求 36 中所述方法，其中的附着步骤包括在该热成形件和该地线之间结合导电胶。

38. 根据权利要求 37 中所述方法，其中的结合步骤包括将导电胶分布到该热成形件和该地线之一上。

39. 根据权利要求 37 中所述方法，其中的结合步骤包括在该热成形件的附着部分上丝网印制该导电胶。

40. 根据权利要求 37 中所述方法，其中的导电胶是预制的导电胶带。

41. 一种受屏蔽的电路板，其包括：  
一块含有地线的基片；  
设置在该基片上的至少第一和第二电子元件；及  
基片体，包括一个真空金属化导电层，其中的热成形件包括能够连接到该地线的附着表面；

其中，该基片体中包括第一和第二隔间，使得当所述附着表面耦合到地线时，第一电子元件被设置在第一隔间中，第二电子元件被设置在第二隔间中。

42. 根据权利要求 41 中所述受屏蔽的电路板，其进一步包括设置在所述附着表面和该地线之间的导电胶。

43. 根据权利要求 41 中所述受屏蔽的电路板，其中第一和第二隔间由多个外壁和一个内壁所确定，其中该内壁与该地线接触，该地线位于第一和第二元件之间。

44. 根据权利要求 41 中所述受屏蔽的电路板，其中该基片体是热成形件。

45. 根据权利要求 41 中所述受屏蔽的电路板，其中该基片体中包括注模塑料。

46. 一种用于屏蔽在电路板上的电子元件的方法，该方法包括：  
提供其中包含多个隔间的真空金属化基片；  
利用导电胶将该金属化基片的若干附着表面结合到电路板上的地线；并且

将所述电子元件分离到该金属化基片的隔间中，从而防止电子元件之间的串扰。

47. 根据权利要求 46 中所述方法，其中，该基片包括热成形件和注模塑料之一。

48. 根据权利要求 46 中所述方法，其中的结合步骤包括接触与位于所述电子元件之间的地线相对的附着表面。

49. 根据权利要求 46 中所述方法，其中，所述附着表面完全环绕所述电子元件。

50. 一种用于电路板的 EMI 辐射屏蔽件，该屏蔽件包括：  
一块金属化基片体，其包括一个基部和可移除地接合至该基部的一个顶部；

其中该基部包括一个附着表面，能够与电路板上的地线相连。

51. 根据权利要求 50 中所述 EIM 屏蔽件，其进一步包括能够将附着表面与地线结合的导电胶。

52. 根据权利要求 50 中所述 EIM 屏蔽件，其中，该基部和该顶部通过一个连接组件相互结合。

53. 根据权利要求 52 中所述 EIM 屏蔽件，其中，该连接组件中包括突出接头和槽，其中，突出接头和槽中的一个位于该基部上，其中的另一个位于该顶部上。

54. 根据权利要求 52 中所述 EIM 屏蔽件，其中，该顶部的外围重叠底部的外围。

55. 根据权利要求 54 中所述 EIM 屏蔽件，其中，顶部外围与底部外围至少有一个包括突出部分。

56. 根据权利要求 55 中所述 EIM 屏蔽件，其中的突出部分的间距不超过 EMI 辐射之波长的一半。

57. 根据权利要求 52 中所述 EIM 屏蔽件，其中的基片体中包括一个热成形件。

58. 根据权利要求 52 中所述 EIM 屏蔽件，其中的基片体中包括注塑塑料。

59. 一种屏蔽电子元件的方法，该方法包括：

将金属化基片的基部附着于电子元件周围的地线；并且

将金属化基片的顶部可移除地结合到该基部以遮盖电子元件。

60. 根据权利要求 59 中所述方法，其中进一步包括在地线的至少一部分上设置导电胶。

61. 根据权利要求 59 中所述方法，其中的结合步骤包括重叠该顶部之一部分于该底部上。

62. 根据权利要求 59 中所述方法，其中在底部的外围上使该顶部与底部重叠。

63. 根据权利要求 59 中所述方法, 其中进一步包括在 EMI 屏蔽件的顶部外围和底部之间设置突出部分。

64. 根据权利要求 63 中所述方法, 其中的突出部分的间距不超过电子元件发出之电磁辐射的波长的一半。

65. 根据权利要求 59 中所述方法, 其中的结合步骤包括将一个突出接头插入到槽中, 其中的突出接头与槽之一被设置在该顶部上, 突出接头与槽中的另一个被设置在该底部上。

66. 根据权利要求 59 中所述方法, 其进一步包括在该热成形件上热蒸发一个导电层。

67. 根据权利要求 59 中所述方法, 其中该基片体中包括热成形件和注塑塑料之一。

68. 一种用于 PCB 中元件的 EMI 屏蔽件, 该屏蔽件包括:

一块基片;

与该基片结合的一根地线和至少一个电子元件;

一个注塑塑料基片, 其包括一个真空金属化导电层, 其中, 该注塑塑料基片能够设置在电子元件之上并结合该地线。

69. 根据权利要求 68 中所述电路板, 其中的注塑塑料通过导电胶结合该地线。

70. 根据权利要求 69 中所述电路板, 其中, 该导电胶是与该地线的形状基本一致的导电胶带。

71. 根据权利要求 70 中所述电路板, 其中, 该注塑塑料进一步包含多个隔间, 其中, 所述元件被分离在所述隔间内, 以防止元件之间的串扰。

72. 根据权利要求 71 中所述电路板, 其中, 该注塑塑料包括有外围凸缘, 并且其中的多个隔间确定多个壁, 其中所述多个壁及外围凸缘与该地线接触。



## 印制电路板的 EMI 和 RFI 屏蔽

### 相关申请案参照

本申请主张 2000 年 4 月 21 日申请的美国临时专利申请案第 60/198,769 号, 名为“利用金属涂敷的仿形涂层对印制电路板和柔性电路板及柔性电路进行 EMI 屏蔽”(EMI Shielding of Printed Circuit Boards and Flexible Circuit Board and Flexible Circuits from Metallized Conformal Coatings)以及 2000 年 5 月 9 日申请的专利申请案第 60/203,263 号, 名为“印制电路板、柔性电路和布线的仿形涂层及屏蔽”(Conformal Coating and Shielding of Printed Circuit Boards, Flexible Circuits, and Cabling)的优先权, 并以引述的方式将它们全文并入本文参考。

### 所属技术领域

本发明涉及对印制电路板和柔性电路进行电磁干扰和射频干扰屏蔽的方法和装置。

### 背景技术

印制电路板 (PCB) 和柔性电路 (比如柔性印制电路或者 FPC) 中包含一组无源元件和有源元件、芯片 (倒装芯片、裸片等类似物)、接地面、迹线和连接器引线。目前的 PCB 和 FPC 中包括有高速处理器和一些专用芯片, 其速度达一千兆赫兹和更高, 用来处理数字信息和交换。但是, 这些微处理器和芯片能够产生并且受到电磁干扰 (EMI)、静电放电 (ESD) 和射频干扰 (RFI) 的影响。(它们在以下用“EMI”表示, 包括 ESD、RFI 以及任何其他类型的电磁辐射或影响。)

因为穿过器件的电磁辐射可能会产生电子故障，所以制造者需要保护其电子产品得以正常运行。另外，由于电磁辐射会干扰其他的元件，所以其发射能级在法律上受到严格限制。可以通过多种方法来控制电磁干扰，包括采用金属外罩（“罐”）、金属填充的合成外罩和金属衬壳作为外罩。通过导电涂层或金属涂敷形成电子外罩上的金属涂层，并通过化学镀（无电镀）或电镀方式实现附着。带有附着背面的金属薄片或衬壳可以设置在外罩的内侧，以使电子仪器满足屏蔽需要。

问题是，PCB 和 FPC 的各种传统的 EMI 屏蔽方法都有缺点。比如，电镀比较昂贵、复杂，并受限于某些合成树脂。虽然镀银会带来良好的电气特性，但是镀银格外昂贵。镀镍可用于相对较低衰减的应用场合，但是其缺点是高阻抗和稳定性差。最重要的是，电镀过程会产生剥落、龟裂以及难以在凹处和折缝中镀层均匀。

另一个例子是，在 Yenni, Jr.等人的美国专利 6,090,728 中提到一种 EMI 装置，即在无孔的载片和热塑纤维之间采用一种由随机取向、低熔点的金属纤维组成的垫片或网格。然后将该装置通过加热安装到电路板中。不幸的是，这种装置制造起来很耗时间，并格外昂贵。而且，加热安装过程会使温度升得过高，从而损坏设置在 PCB 上的微处理器和芯片。

因此，需要采用简单而且成本低的方法和装置来有效地对 PCB 和 FPC 进行电磁干扰屏蔽。

## 发明内容

本发明提供一个真空沉积金属层，它能够屏蔽 PCB 或 FPC 中的电子元件。该真空金属化导电层能够连接到电路板上的地线，以形成法拉第屏蔽罩，以保护设置在电路板中的电子元件不受 ESD 影响。金属化导电层能够设置在密封绝缘层之上，或者设置在与 PCB 或 FPC

结合的已成形的热成形片或者浇铸塑料片之上。在所有配置之一种中，绝缘仿形涂层能够施加到该导电层上以使该导电层绝缘并且/或者防水。

真空金属化方法提供了低温处理，它可形成连续的并且基本均匀的金属层，该金属层具有很高的导电性能以屏蔽其下面的电子元件。比如，一个真空金属化铝层的厚度为 3.0 微米到 12.0 微米，可以为其下的电子元件提供 60dB 到 100dB 的屏蔽。

一方面，本发明提供了为封装电子元件进行屏蔽的方法和系统。电子元件可设置在 PCB 或 FPC 上，用绝缘涂层如丙烯酸树脂、聚氨酯、单组分或双组分环氧树脂或类似物封装。然后，该金属化层可施加在绝缘涂层上，并连接到地线。该接地的金属化层将帮助保护其下面的电子元件不受 EMI 影响。

导电层典型地是直接被真空金属化在绝缘涂层和地线上，以对所封装的电子元件进行屏蔽。在有些实施例中，在绝缘涂层上可以沉积一个中间导电层，以提高真空金属化层的附着力。

真空沉积形成了连续且基本均匀的涂层，可在 30MHz 到 3GHz 以上的频率范围提供优秀的屏蔽效果。但是应该认识到，屏蔽效果将受限于材料和设计应用的细节。因为真空金属化过程能够在较低的温度下附加金属化层，其下的电子元件和绝缘层可以被稳定地保持在温度约为 200°C 以下。

在有些设置方案中，单个的或者成组的电气元件可以经过绝缘和金属涂敷处理，从而减少在 PCB 上元件之间的串扰。

在其他方面，本发明为 PCB 上的电子元件提供有真空金属化热成形 EMI 屏蔽件。与注模塑料需要一个清洁步骤来提高附着力不同，热成形制品可不需要清洁化合物的帮助而镀上金属。因此，处理 EMI 屏蔽件的方法一般从改善表面提高附着力的预处理开始。热成形制品可用辉光放电或者等离子蚀刻来处理。在此过程中，聚合物基片可被

惰性气体或活性气体的电子和负离子撞击或轰击。在金属沉积过程中，在表面和转角处附加了一个连续的、基本均匀的导电层，以提供一个连续的屏蔽件。

金属化注模塑料或者热成形制品可以采用多种方式附着在 PCB 的地线上。在示例的配置中，一个导电胶可被结合到金属化注模塑料或者热成形件中，以使导电层电连接到地线。虽然可以通过加热将金属化基片固定到地线上，但是这样的方法不是优选的，因为温度升高会使下面的电气元件产生不希望出现的结果。与加热固定不同，通过导电胶将金属基片结合到印制电路板，在处理过程中不会使下面的电子设备升温。

专利申请人发现，将金属层真空金属化在薄的热成形件上，能够形成一个厚度均匀的有效屏蔽层，不容易裂开和剥落。

在一些实施例中，真空金属化热成形件可通过导电胶结合到地线。比如，可将预制的胶带贴在 PCB 地线或热成形件上，以提供定制配合的 EMI 屏蔽，对计算机、蜂窝电话、个人数字助理（PDA）等的印制电路板进行屏蔽。

热成形体可包括多个隔离部分，每个隔离部分中包含有元件或元件组，以减少附着在印制电路板上电气元件之间的串扰强度。

在有些设计中，该金属化热成形件的顶部可与其基部分开。这种设计可允许技术人员接触和/或替换由金属化热成形件所屏蔽的电子元件。该金属化热成形件的基部能够保持与地线的连接，而其顶部可被拆卸。交迭接点与连接配件能够被用于将顶部与基部结合在一起，并保持它们之间的电气连通。

可选的是，本发明的热成形件能够在两面涂层，以改进衰减级别。专利申请人已经发现双面涂层优于导电涂层和单一涂层的热成形，可以使 EMI 衰减至少 10dB 到 20dB。另一优点是，双面涂层能够减少或者消除刻痕效应（即隙缝天线），该效应否则会影响到整个屏蔽件

的屏蔽效果。

在本发明的一些实施例中，注模塑料基片可被真空金属化来为 PCB 中的元件提供 EMI 屏蔽。在本发明中的一些制造方法中，在将电子元件安置到 PCB 之后，PCB 被移动经过加热处理（典型的为对流式回流或者 IR 回流），这将使整个 PCB、电子元件和 EMI 屏蔽件的温度升高到 200℃到 218℃。专利申请者已经发现，如果注模塑料基片中加入有 30%的玻璃，比如 Supec 树脂、Ultem®、Noryl® HM 树脂和 Questra 树脂，则基片将具有更高的温度性能（比如，熔点约为 220℃），从而足够经受住加热处理，同时具有较轻的重量，并为 PCB 中的电子元件提供有效的 EMI 屏蔽。

本发明中的原理也可用于柔性电路。根据记载，金属化热成形制品相比传统较厚的、硬塑料外罩要更柔韧，并且真空金属化导电层被发现更加不容易裂开和剥落。

为了进一步理解本发明的特点和优点，结合附图，参考以下描述。

#### 附图简述

图 1 显示为仿形涂层覆盖的电路板；

图 2 显示为仿形涂层以及接地金属镀层覆盖的电路板；

图 3 显示其上带有仿形涂层、接地金属镀层以及不导电的外部涂层的电路板，其中环绕印制电路板的外部元件的外围有一个隔坝；

图 4 显示如图 3 所示电路板，不具有隔坝；

图 5 显示具有不导电外部涂层的金属化仿形涂层；

图 6A 和 6B 显示金属化热成形片与电路板的地线结合的两个实施例；

图 7A 和 7B 示出用于印制电路板的分成隔间的 EMI 屏蔽件；

图 7C 是一个通过分成隔间之热成形件的通路的近视图，它使金属化层能够接触到地线；

图 8 显示分成隔间的屏蔽件、预成形的导电胶以及一个具有地线和电子元件的印制电路板的分解视图；

图 9 显示一个金属化热成形件，其具有可拆卸地与基部相结合的顶部；

图 10A 显示分离的金属化热成形件，其具有一个接头和槽连接组件；

图 10B 是可拆卸顶盖的顶部视图，其具有通风孔；

图 10C 是可拆卸顶盖上的锁定关节的侧视图；

图 11 显示金属化热成形件，其具有重叠的顶部与基部，以及一个压配合连接组件；及

图 12 显示在连接接口的外围具有多个凸出或凸起的顶部和底部。

### 本发明的详细说明

本发明提供的方法和系统用于防护印制电路板和柔性电路中的电子元件不受静电放电、电磁干扰和射频干扰的影响。在实施例配置中，在封装的绝缘层上通过真空金属化可涂敷导电涂层，以对封装的电子元件进行屏蔽。导电层与电路板的地线电气耦合，以使导电屏蔽件接地。在其他的实施例配置中，金属化热成形件能够与地线耦合，以防止 EMI 能量的冲击与辐射。

本发明中的 EMI 屏蔽件一般采用导电层，它能够防止 EMI 辐射和冲击。在大多数配置中，导电层的厚度大约在 1.0 微米到 50.0 微米之间，以能够有效地阻挡 EMI 通过。但是，要认识到导电层的厚度与目标 EMI 辐射的类型直接相关。对于高频辐射，导电层可以较薄。另一方面，对于低频辐射，导电层的厚度要有所增加。

多种金属和金属合金能够用于形成 EMI 屏蔽件。比如，导电 EMI 屏蔽件可以由蒸发的铝、银、铜、金、锡、镍铬合金或其他导电金属

或合金组成。对有些材料，为了提高粘合力，有必要在电子元件上沉积两层或更多层导电材料。比如，在绝缘层上附着铝层之前，可以先在绝缘层上附着镍铬合金。

EMI 屏蔽件的导电层的闪蒸或熔化温度一般约在 1200℃到 1250℃之间。涂覆导电层的时间一般要小于大约 3 秒钟，以使得在仿形涂层上对导电层进行热涂覆不会使其下的电子元件、印制电路板或绝缘层的温度升得过高。在蒸发的金属层到达热成形件或注模基片的时候，金属化层的温度典型情况下只有大约 105°F。

导电屏蔽件可以采用多种方式加在绝缘层上。加金属层可以通过喷涂、溅射、电镀、化学镀、锌电弧喷射、热蒸发、阴极溅射、离子镀、电子束、阴极电弧、真空热喷涂、真空金属化、无电镀、真空镀、用胶粘附金属层或类似方法。导电层可以是蒸发的金属、含有金属粉末或纤维的基片或类似物。

在优选实施例中，通过真空金属化工艺来施加导电层，可以在电子元件上产生基本均匀的屏蔽件。比如，在一个实施例中，可以将基本均匀的导电层直接热蒸发到电子元件上的绝缘封装材料上。

作为可选，可以在导电层上涂覆一个绝缘仿形层，以使导电层与其周围元件绝缘，并且/或者具有防水功能。顶部绝缘层与下部绝缘层可以有相同的材料或者不同的材料。

在其他实施例中，热成形片可具有通过热蒸发到该片(sheet)上的金属涂层，通过将已成形的热成形件进行真空金属化处理，可以在该片的表面和折缝上产生基本均匀的导电层。为了使导电层接地，导电层可以与电路板上的地线或地平面层电气连接。

在金属化处理之前，可对热成形件进行预处理以提高附着力。提高附着力的方法之一是通过辉光放电过程，在其中用惰性或活性气体的电子或负离子对聚合物基片轰击，以对表面进行处理。惰性气体如氩和氮，以及活性气体如氧气、一氧化二氮，还有多种氟化物和氯化

合物及气体混合物都可采用。气体等离子区随后可用 2KV 到 5KV 的电压、50mA 到 500mA 的电流点燃。不同的混炼室压力（典型的约为  $8 \times 10^{-6}$  托）和周期持续时间（30 秒到 10 分钟）会对表面处理产生影响。

在金属沉积过程中，会产生热量，并要选择从沉积源到热成形件的距离。在真空中，没有热传导和对流，但来自蒸发源的辐射能量能够扭曲、应力消除甚至熔化聚合物形态，尤其是在角部或深冲压处，其中的薄层被拉伸至最薄。热成形片的热性能和壁厚度、蒸发源的热输出量、从该源到基片的距离、蒸发的持续时间以及基片的旋转都是需要考虑的变量。有关真空金属化更完整的描述，可在 Gabower 的美国专利 5,811,050 找到，其全部内容以参考的形式并入此处。

虽然以下的讨论集中于金属化热成形件，但需要理解本发明也可用于在其他基片的金属化，如注模塑料。由于注模部件需要脱模剂和顶销润滑剂，有可能污染注模部件，所以经常需要清理，以确保 EMI 涂层与注模部件的附着，注模部件相比热成形件具有更高的温度特性，这使得它能经受住更高的温度处理。

现在参考图 1，本发明中提供一个印制电路板 20，其具有 EMI 辐射屏蔽件。印制电路板 20 中可包括一个基片 22（比如 FR-4、FR-5、罗杰斯系列材料或类似物），基片中具有多种蚀刻的元件或者连接到其上的元件。比如，电路板 20 中可能有一个或多个有源元件 24（如半导体芯片）、无源元件 26（如电阻器、电容器等），迹线 28 耦合至基片或者形成于基片上。可通过绝缘涂层 30 将这些元件覆盖或封装起来，以保护元件不受物理损伤、液体或气体损害等等。如图 2 到图 4 显示，许多印制电路板可包括设置在基片上的地线（32）或地平面层。在图 2 到图 4 显示的实施例中，地线 32 被设计为围绕印制电路板 20 的外围。如下所述，地线 32 能够设置于元件之间、或者在印制电路板 20 的其他部分上。



在图 2 和图 3 显示的实施例中，外围隔坝 34 可设计在地线 32 之下，用来在制造过程中使绝缘涂层 30 保持在基片内。图 4 显示没有隔坝的电路板 20。

封装绝缘涂层 30 可由丙烯酸树脂、聚氨脂、单组分或双组分环氧树脂或其他传统的或专有的绝缘材料构成。绝缘涂层 30 的涂覆使得基片 22 上的电气元件至少是部分封装的。在较好的实施例中，电气元件是完全封装的。在制造过程中，采用传统的方法对电子元件进行封装，可将绝缘层 30 沉积到基片 22 以及电气元件 24、26 上。应该理解的是，电气元件可以个别地封装在绝缘区中，或者以成组的方式进行封装，视具体元件的 EMI 屏蔽需要而定。比如，在一些印制电路板中，可能最好是将微处理器独立封装和屏蔽，以与周围的电子元件分开。在其他的配置中，可能将微处理器与其相邻的元件同时进行封装和屏蔽则更有利。

地线可以设计在隔坝 34 上，以将地线 32 提升高于封装材料 30。在其他的方法中，封装材料 30 可经过蚀刻或者以其它方式被去除，以将地线 32 曝露于导电层。导电层 36 然后可被真空金属化，或者以其它方式施加到绝缘层 30 和地线 32 上以形成 EMI 辐射屏蔽件。如图 2 和图 3 所显示，导电层将与地线 32 电气耦合以使导电层 36 接地。

现在参考图 5，本发明中的印制电路板 20 也可包括一个仿形顶层 38，以使 EMI 辐射屏蔽层 36 与周围的电子元件绝缘。不导电顶层 38 与其下的绝缘层 30 可以有相同或者不同的材料。在一具体实施例中，仿形顶层能够防水，从而防止空气中的有害液体的渗透作用。

在本技术领域的技术人员可以理解，本发明在此基本特性之内，可以以其他具体的形式实施。比如，本发明的方法也同样可适用于柔性印制电路板基片，如 Kapton®、聚酰亚胺或类似物。

在其他方面，本发明提供了一种金属化热成形制品，以对印制电路板上的电子元件进行屏蔽。如图 6A 和 6B 显示，金属化热成形件

可以与基片 22 上的地线 32a、32b 进行耦合，地线包围电子元件 40。在热成形件 42 上的金属层 44 将耦合到地线 32a、32b，以使金属化热成形件接地。金属化层 44 可以多种方式耦合到地线 32a、32b。比如，一种方法是，金属化热成形件可通过导电胶 54 耦合到地线（图 8）。导电胶 54 可施加到热成形的粘合表面 52 或者直接施加到在地线 32 上预定的图案上。在其他的实施例中，导电附着层可能是定制的预成形的胶带，其形状与印制电路板上的地线形状一致，并且/或者与金属化热成形件的接触表面之形状一致。在其他的方法中，导电胶可以用传统方法散布到热成形件或者地线，比如丝网印刷、喷射器喷涂等方法。

在图 6A 显示的实施例中，热成形件包括一个上表面 46 和侧壁 48。在上表面 46 和侧壁的接合处设置有一个边缘或者折痕 50。在较好的方法中，热成形片形成之后，金属化层被真空金属化到热成形件上，从而在上表面 46，侧壁 48 和边缘 50 上形成基本均匀的厚度。在图 6B 所显示的另一实施例中，热成形件 42 可以是弯曲的或成半球形以减少折痕的角度，或者甚至完全消除折痕。虽然有可能在形状形成之前为热成形件进行金属化，申请者已经发现在金属化片的热成形过程中，在折痕处的拉伸能够使金属化层拉伸并变薄，从而对金属化层的屏蔽性能有不利影响。

在另一方面，本发明提供了分成隔间的 EMI 辐射屏蔽件，它能够减少或者阻止在电路板中不同电子元件 58、60 之间的串扰。如图 7A 显示，EMI 屏蔽件中包括一个热成形件 42，其具有一个金属化层 44，能够为印制电路板 22 上的多个电子元件提供屏蔽。多个隔间 62、64 能够按热成形的形状设计，使电气元件 58、60 分离。金属化热成形件 42 能够与印制电路板上的地线 32a、32b、32c 连接，形成用于印制电路板的 EMI 屏蔽件。

如图 7A，热成形件 42 的形状可以是多个基本弯曲的或半球形的

隔间，它们包围电气元件，并为之提供屏蔽。半球形配置的优点是因为能够减少金属化层的折痕数量和薄层区域。虽然在图 7A 中显示在每个隔间中只设置有单个电气元件，应该认识到，如果需要，在每个隔间中可以设置多个电气元件。

在图 7B 中所显示的实施例中，金属化热成形件的形状设计为具有上表面 66，外壁 68 和至少一个内壁 70。在这种实施例中，隔间 62、64 由上表面 66、内壁 70 和外壁 68 所确定。内壁 70 可配置为与在相邻的元件 62、64 之间地线 32 相接触，以在每个电气元件 58、60 周围使热成形件接地。内壁被附着耦合或者压配合到地线 32b。

在图 7C 所显示的实施例中，热成形件（或者注模塑料）42 中能够包括一个通路 43，它与地线 32 对准，这样一来，当热成形件安装在 PCB 22 中时，地线延伸通过热成形中的通路 43 以接触设置在热成形基片 42 上表面的金属化层 44。虽然没有显示出来，在通路中可以设计导电胶以使金属化层 44 与地线 32 耦合。而且，在金属化层 44 上可以设置一个绝缘顶层，以使金属化层与周围的电子元件绝缘。

如图 8 显示，地线 32 可设计为围绕每个分离的电气元件（或者电气元件组）。这种设置允许屏蔽件与每个元件附近的地线相连，以使单个元件与相邻的元件屏蔽。被分成隔间的金属化屏蔽件 44 能够通过导电胶 54 或类似物与地线耦合。在其他的实施例中，地线 32 可能仅被设置为环绕印制电路板的外围或者仅在每个电气元件的一部分的周围。而且，虽然没有显示出来，热成形件可以同时在内外表面进行金属化以改善屏蔽能力。

在另一方面，本发明提供具有可拆卸顶部的 EMI 屏蔽件。与传统的 EMI 屏蔽件不同，基部保持与地线连接，以允许技术人员接触在 EMI 屏蔽件内的电子元件，而不需要断开 EMI 屏蔽件与地线的电气连通。图 9 显示金属化基片的基部 82，其通过导电胶（未显示）与地线连接。如图 9 和图 10A 显示，金属化热成形件的顶部 84 可以

被可拆卸地附着至基部 82。如图 10B 显示，顶部 84 具有通风孔 87，用于散热。这些孔的尺寸一般在 0.050 到 0.100 英寸之间，以便于通风，但仍然可防止 EMI 辐射漏入。

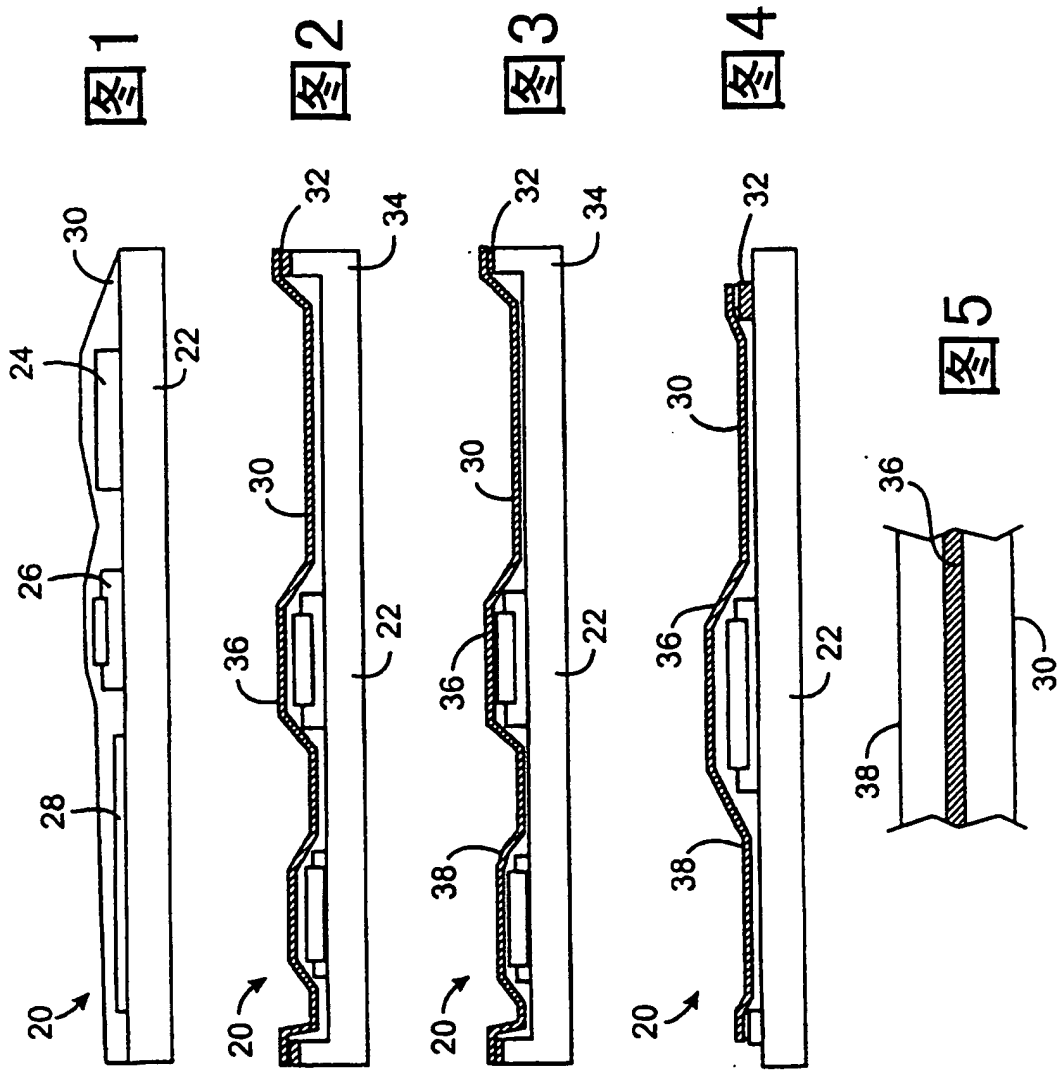
连接组件 86 可结合到基部 82 和顶部 84，以实现基部与顶部之间的连接。金属化热成形件能够在多个表面上进行金属化，以在基部与顶部之间有充分的电气连接。

在图 10A 和 10C 中显示连接组件 86 的一个示例。如图所示，基部 82 中包括一个突出接头 88，顶部 84 具有一个相应的槽 89，能够与突出接头 88 接合。被连接时，顶部 84 将至少部分地与基部 82 重叠，以防止 EMI 漏入和漏出该屏蔽件。

在图 11 中显示的另一实施例中，顶部 84 能够简单地以重叠配置方式压配合在基部 82 上。作为可选，如图 12 所示，顶部和/或基部中能够包括突出部或凸起部 92，以实现顶部与底部的压配合。突出部 92 的位置可设置在热成形部分的外围，具有适当的大小和间距，以提供互锁部分之间的最小间距。优选的是，间距 94 要小于由金属化热成形件屏蔽的电子元件所发射的波长的一半。有关突出部与凸起部的更完全的描述见待批准的在 2000 年 10 月 6 号递交的 PCT 专利申请案第 00/27610 号（代理人备案第 020843-000300PC 号）。

虽然以上是本发明较佳实施例的完整描述，但是其他替代例、修改和等效的例子也可采用。比如，一个修改是对热成形件的两侧进行金属化处理。已经发现，双面金属化能够提供 10dB 到 20dB 或更多的屏蔽效果。而且，双面屏蔽为防止刻痕（即隙缝天线）的形成提供附加的安全措施。在这种实施例中，绝缘仿形层能够被设置在至少一个金属化层之上，以使金属化层与周围导电元件相绝缘。另外，最好遮挡热成形件的某些部分以防止金属化等等。而且，虽然大部分所述的实施例中是沿基片外表面的金属化层，但也有可能沿内表面进行金属化处理。在这种实施例中，金属化层能够被绝缘，以防止电子元件

短路。相应地，前面所述是示意性的，而不是对权利要求所述之本发明的范围有所限制。



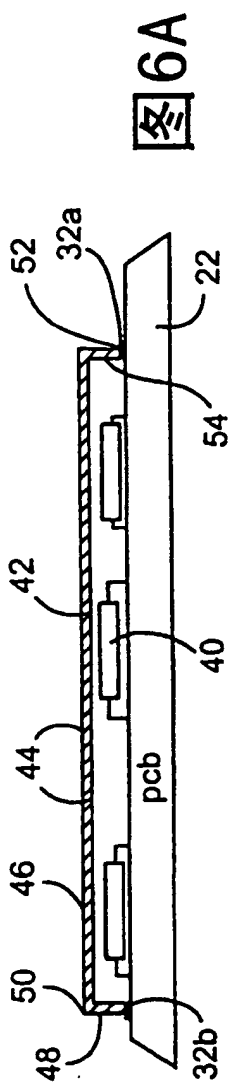


图6A

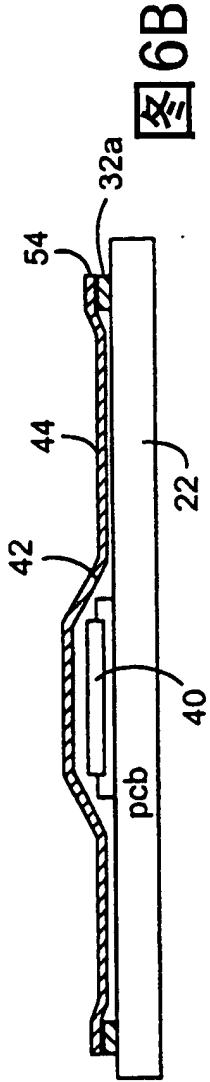


图6B

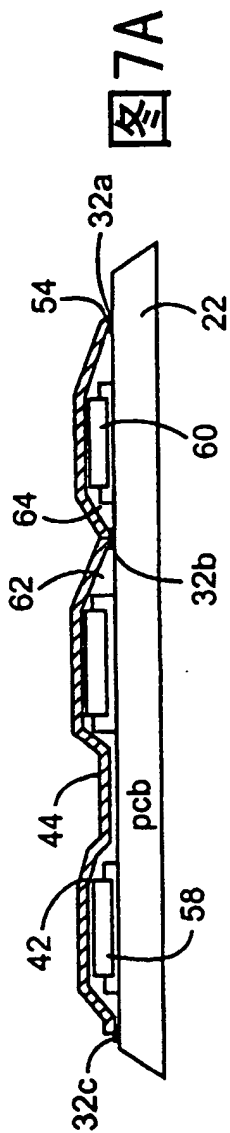


图7A

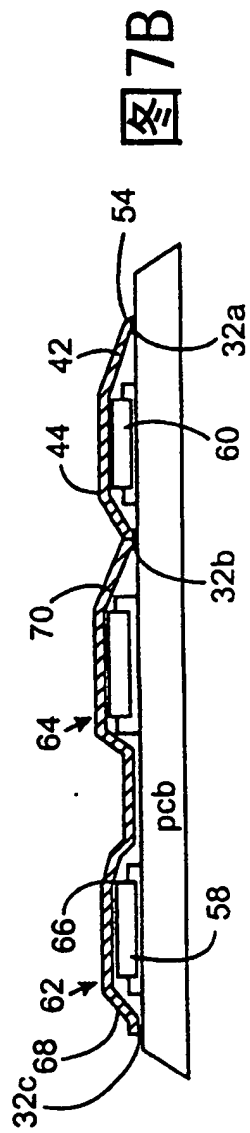


图7B

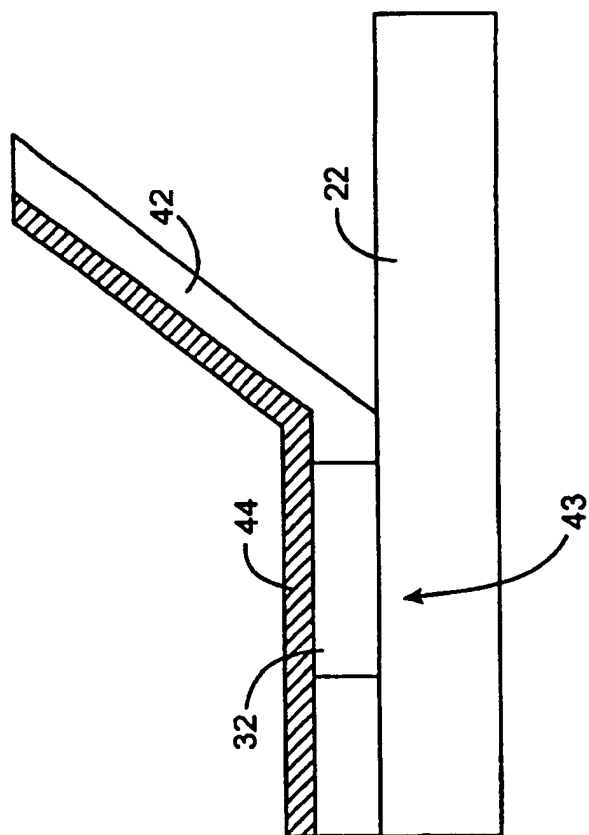


图7C



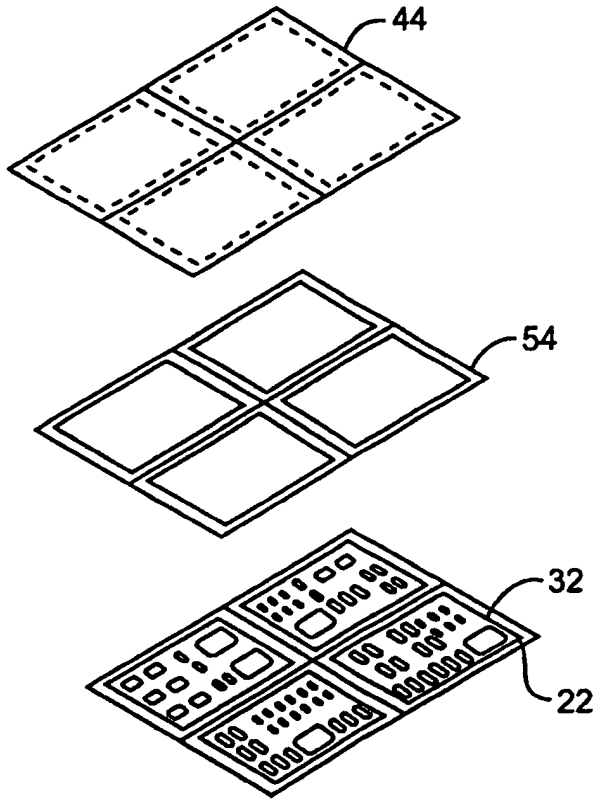


图8

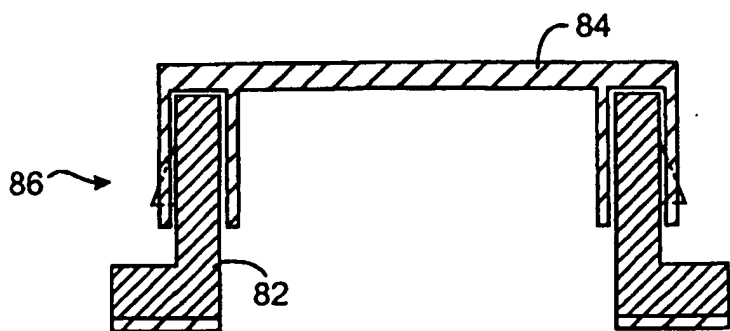


图9

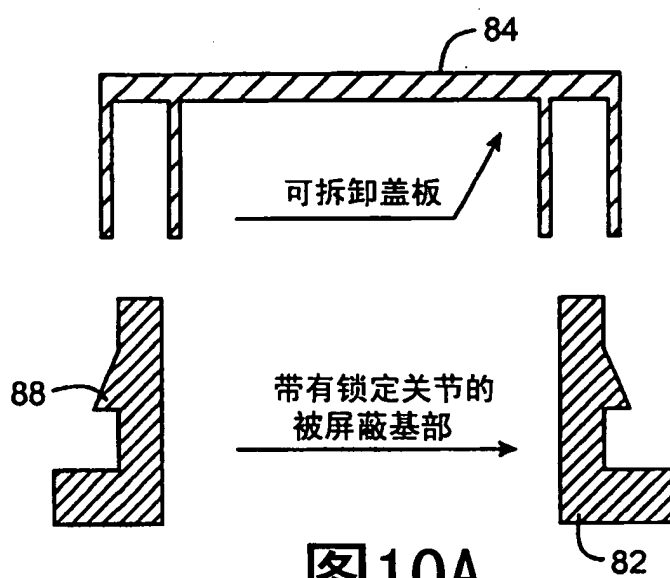


图10A

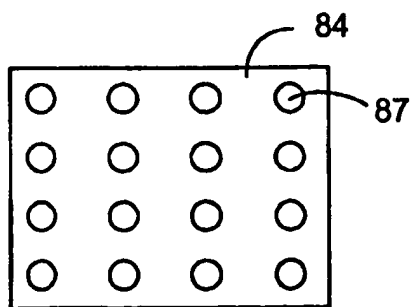


图10B

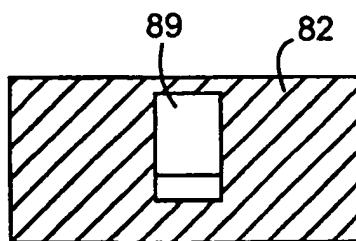


图10C

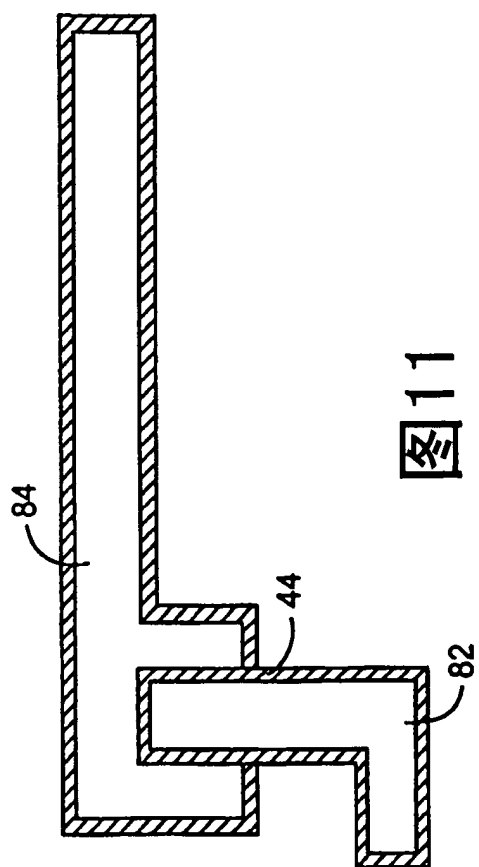


图11

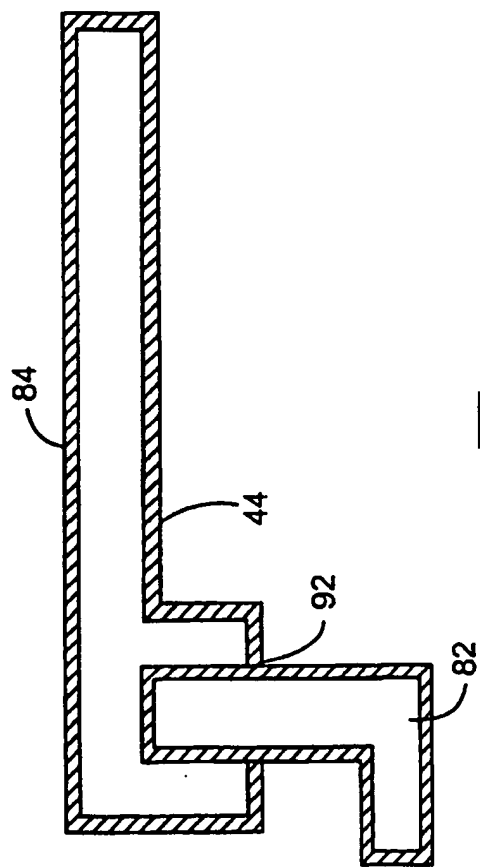


图12